

Układ MCY 7855N /MCY 6855N/ charakteryzują:

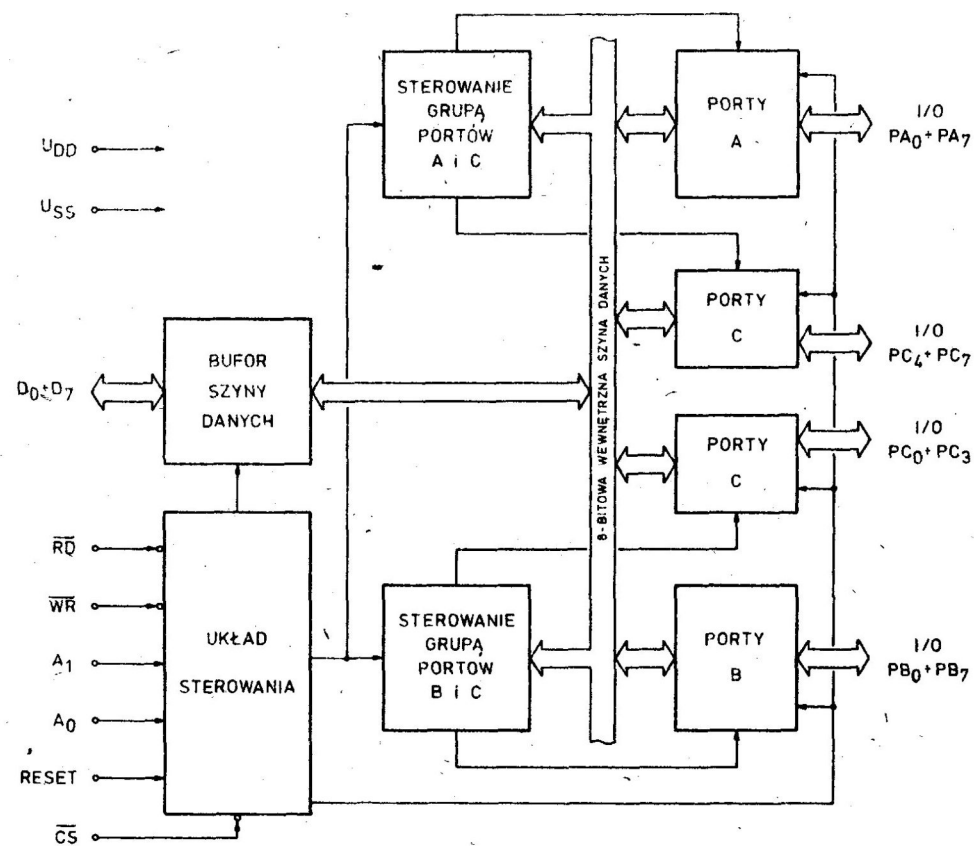
- Dwa 8-bitowe porty We/Wy $PA_0 - PA_7$, $PB_0 - PB_7$;
- 8-bitowy port $PC_0 - PC_7$ w dwóch 4-bitowych częściach;
- 8-bitowy dwukierunkowy bufor D /We/Wy szyny danych/;
- Dwa wejścia adresowe A_0 , A_1 wybierające odpowiednią grupę portów;
- Wejścia sterujące zapisem $\overline{WR}$ lub odczytem $\overline{RD}$;
- Programowa realizacja zmiany konfiguracji funkcjonalnej w trzech trybach:
 - tryb 0 - asynchroniczna transmisja danych,
 - tryb 1 - synchroniczna transmisja danych w jednym kierunku,
 - tryb 2 - synchroniczna transmisja danych w dwóch kierunkach,
- Pełna współpraca z układami TTL;
- Współpraca z układem jednostki centralnej MCY 7880N /MCY 6880N/ lub w systemach MCS 8080A, MCS 8085;
- Pojedyncze napięcie zasilania +5 V.

MCY 7855N
MCY 6855N
Programowany
równoległy układ
We/Wy

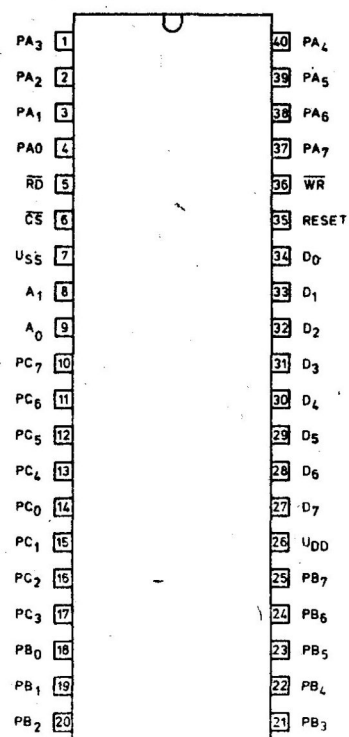
LSI NMOS
Bramka krzemowa

Obudowa CE 76

Blokowy schemat wewnętrzny



Układ wyprowadzeń



Opis wyprowadzeń

D₇ - D₀
/DATA BUS/

- wejścia/wyjścia trzystanowej dwukierunkowej szyny danych pozwalające układowi odbierać i wysyłać informacje od i do jednostki centralnej /MCY 7880N/. Przez wejścia a następnie przez bufor szyny danych przesyłane są słowa sterujące a w kierunku przeciwnym słowa stanu.

PA₇ - PA₀
PB₇ - PB₀
PC₇ - PC₀
/PORTS/

- programowane wejścia/wyjścia/porty/. Port A to 8-bitowy bufor/rejestr typu zatrzaśk w konfiguracji wyjść lub 8-bitowy rejestr typu zatrzaśk w konfiguracji wejść. Port B to 8-bitowy bufor/rejestr typu zatrzaśk w konfiguracji wyjść i wejść. Port C to 8-bitowy bufor/rejestr typu zatrzaśk w konfiguracji wyjść lub 8-bitowy bufor w konfiguracji wejść.

CS
/CHIP SELECT/

- wejście wybierające układ. Niski stan tego wejścia umożliwia wymianę informacji między jednostką centralną /MCY 7880N/ a układem MCY 7855N. Wysoki stan wejścia CS utrzymuje We/Wy szyny danych w stanie wysokiej impedancji.

RD
/READ/

- wejście pozwalające na odczyt danych lub słowa stanu /RD = "0"/ z układu MCY 7855N przez jednostkę centralną.

WR
/WRITE/

- wejście umożliwiające jednostkę centralnej /WR = "0"/ wpisanie słowa danych lub słowa sterującego do układu MCY 7855N.

A₁, A₀
/ADDRESSES/

- wejścia adresowe. W połączeniu z sygnałami RD i WR wybierają jeden z trzech portów lub rejestr sterowania. A₁ i A₀ połączone są zwykle z najmniej znaczącymi bitami szyny adresowej.

A ₁	A ₀	RD	WR	CS	
Operacje wejściowe /odczyt/					
0	0	0	1	0	Port A ==> Szyna danych
0	1	0	1	0	Port B ==> Szyna danych
1	0	0	1	0	Port C ==> Szyna danych
Operacje wyjściowe /zapis/					
0	0	1	0	0	Szyna danych ==> Port A
0	1	1	0	0	Szyna danych ==> Port B
1	0	1	0	0	Szyna danych ==> Port C
1	1	1	0	0	Szyna danych ==> Sterowanie
Funkcje uniemożliwiające transmisję					
X	X	X	X	1	Szyna danych ==> Wysoka impedancja
1	1	0	1	0	Stan niedozwolony
X	X	1	1	0	Szyna danych ==> Wysoka impedancja

RESET - wejście sygnału zerowania. Stan wysoki na tym wejściu spowoduje układ do stanu początkowego, w którym porty pracują w trybie 0, w konfiguracji odczytu informacji. Wyjścia portów znajdują się w stanie wysokiej impedancji.

U_{DD}, U_{SS} - wejścia zasilające

Parametry dopuszczalne / $U_{SS} = 0 \text{ V}$ /

Oznaczenie	Nazwa	Jedn.	Wartość	
			min	max
U_{DD}	Napięcie zasilania	V	-0,5	7
U_W	Napięcie zasilania na pozostałych wyprowadzeniach	V	-0,5	7
P_D	Moc rozpraszana	W		1
t_{amb}	Temperatura otoczenia w czasie pracy	$^{\circ}\text{C}$	0	+70
		$^{\circ}\text{C}$	-40	+85
t_{stg}	Temperatura przechowywania	$^{\circ}\text{C}$	-40	+125
		$^{\circ}\text{C}$	-55	+125

Parametry charakterystyczne statyczne

/ $U_{DD} = 5 \text{ V} \pm 5\%$; $U_{SS} = 0 \text{ V}$; $t_{amb} = t_{amb \text{ min}} \div t_{amb \text{ max}}$ /

Oznaczenie	Nazwa	Jedn.	Wartość		Warunki pomiaru
			min	max	
U_{IL}	Napięcie wejściowe w stanie niskim	V	-0,5	0,8	
U_{IH}	Napięcie wejściowe w stanie wysokim	V	2	U_{DD}	
$U_{OL/DB/}$	Napięcie wyjściowe w stanie niskim /szyna danych/	V		0,45	$I_{OL} = 2,5 \text{ mA}$
$U_{OL/PER/}$	Napięcie wyjściowe w stanie niskim /porty We/Wy/	V		0,45	$I_{OL} = 1,7 \text{ mA}$
$U_{OH/DB/}$	Napięcie wyjściowe w stanie wysokim /szyna danych/	V	2,4		$I_{OH} = -400 \text{ }\mu\text{A}$
$U_{OH/PER/}$	Napięcie wyjściowe w stanie wysokim /porty We/Wy/	V	2,4		$I_{OH} = -200 \text{ }\mu\text{A}$
I_{DAR}	Prąd Darlingtona	mA	-1	-4	$R_L = 750 \Omega$, $U = 1,5 \text{ V}$, PB i PC w stanie wysokim
I_{LI}	Prąd upływności wejść	μA		± 10	$U_I = 0 \div U_{DD}$
I_{LOF}	Prąd upływności wyjść w stanie trzecim	μA		± 10	$U_O = 0 \div U_{DD}$

Parametry charakterystyczne pojemności

$U_{DD} = U_{SS} = 0 \text{ V}; t_{amb} = t_{amb \text{ min}} \div t_{amb \text{ max}}$

Oznaczenie	Nazwa	Jedn.	Wartość	Warunki pomiaru
C_I	Pojemność wejściowa	pF	10	f = 1 MHz wyprowadzenia niemierzone połączone z U_{SS}
$C_{I/O}$	Pojemność We/Wy	pF	20	

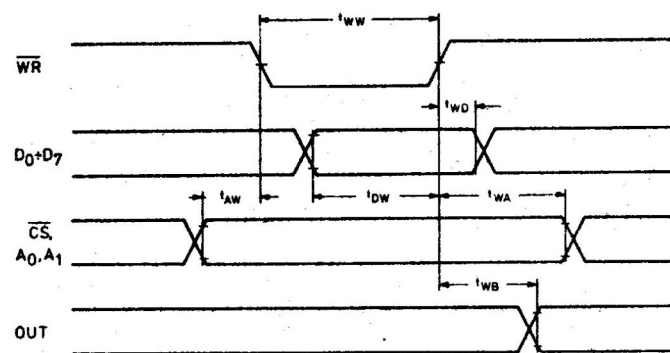
Parametry charakterystyczne dynamiczne

$U_{DD} = 5 \text{ V} \pm 5\%; U_{SS} = 0 \text{ V}; t_{amb} = t_{amb \text{ min}} \div t_{amb \text{ max}}$

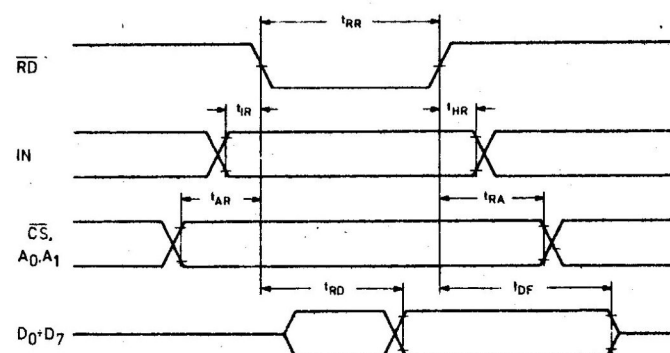
Oznaczenie	Nazwa	Jedn.	Wartość	
			min	max
t_{AR}	Czas wyprzedzenia adresu względem sygnału czytania /READ/	ns	0	
t_{RA}	Czas podtrzymania adresu po sygnale czytania /READ/	ns	0	
t_{RR}	Szerokość sygnału czytania /READ/	ns	300	
t_{RD}	Czas opóźnienia informacji na szynie danych względem początku sygnału READ /RD = 0/	ns		250
t_{DF}	Czas podtrzymania informacji na szynie danych względem końca sygnału READ /RD = 1/	ns	10	150
t_{RV}	Czas pomiędzy kolejnymi sygnałami READ i/lub WRITE	ns	850	
t_{AW}	Czas wyprzedzenia adresu względem WR = 0	ns	0	
t_{WA}	Czas podtrzymania adresu po WR = 1	ns	20	
t_{WW}	Szerokość sygnału zapisu WR	ns	400	
t_{DW}	Czas wyprzedzenia danych względem WR = 1	ns	100	
t_{WD}	Czas podtrzymania danych względem WR = 1	ns	30	
t_{WB}	Opóźnienie sygnału na wyjściu dowolnego portu względem WR = 1	ns		350
t_{IR}	Czas wyprzedzenia danych z urządzeń zewnętrznych względem RD = 0	ns	0	

od.tabl.

Oznaczenie	Nazwa	Jedn.	Wartość	
			min	max
t_{AR}	Czas podtrzymania danych z urządzeń zewnętrznych względem $\overline{RD} = 0$	ns	0	
t_{AK}	Szerokość sygnału $\overline{ACK}$	ns	300	
t_{ST}	Szerokość sygnału $\overline{STB}$	ns	500	
t_{PB}	Czas wyprzedzenia danych z urządzeń zewnętrznych względem $\overline{STB} = 0$	ns	0	
t_{PH}	Czas podtrzymania danych z urządzeń zewnętrznych $\overline{STB} = 1$	ns	180	
t_{AB}	Opóźnienie sygnału na wyjściu dowolnego portu względem $\overline{ACK} = 0$	ns		300
t_{KD}	Czas podtrzymania danych na wyjściu dowolnego portu względem $\overline{ACK} = 1$	ns	20	250
t_{WOB}	Czas od $\overline{OBF} = 0$ do $\overline{WR} = 1$	ns		650
t_{AOB}	Czas od $\overline{OBF} = 1$ do $\overline{ACK} = 0$	ns		350
t_{SIB}	Czas od $\overline{IBF} = 1$ do $\overline{STB} = 0$	ns		300
t_{RIB}	Czas od $\overline{IBF} = 0$ do $\overline{RD} = 1$	ns		300
t_{RIT}	Czas od $\overline{INTR} = 0$ do $\overline{RD} = 0$	ns		400
t_{SIT}	Czas od $\overline{INTR} = 1$ do $\overline{STB} = 1$	ns		300
t_{AIT}	Czas od $\overline{INTR} = 1$ do $\overline{ACK} = 1$	ns		350
t_{WIT}	Czas od $\overline{INTR} = 0$ do $\overline{WR} = 0$	ns		850

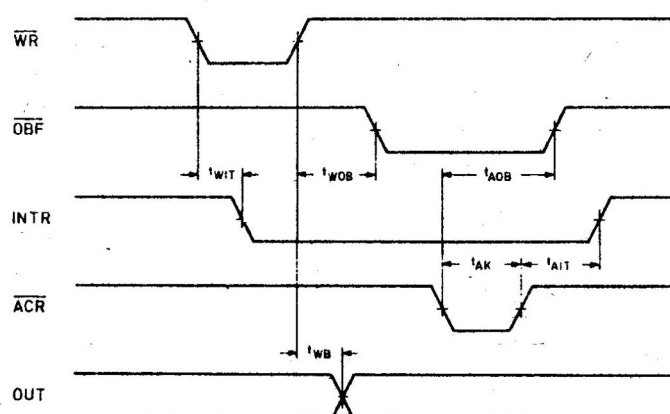


ZAPIS

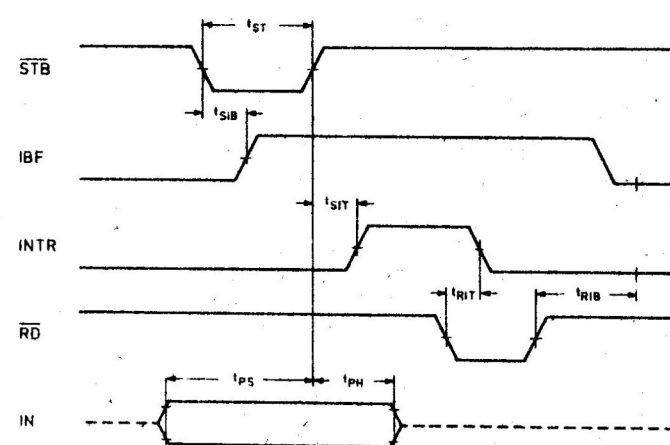


ODCZYT

Definicje parametrów dynamicznych w trybie 0



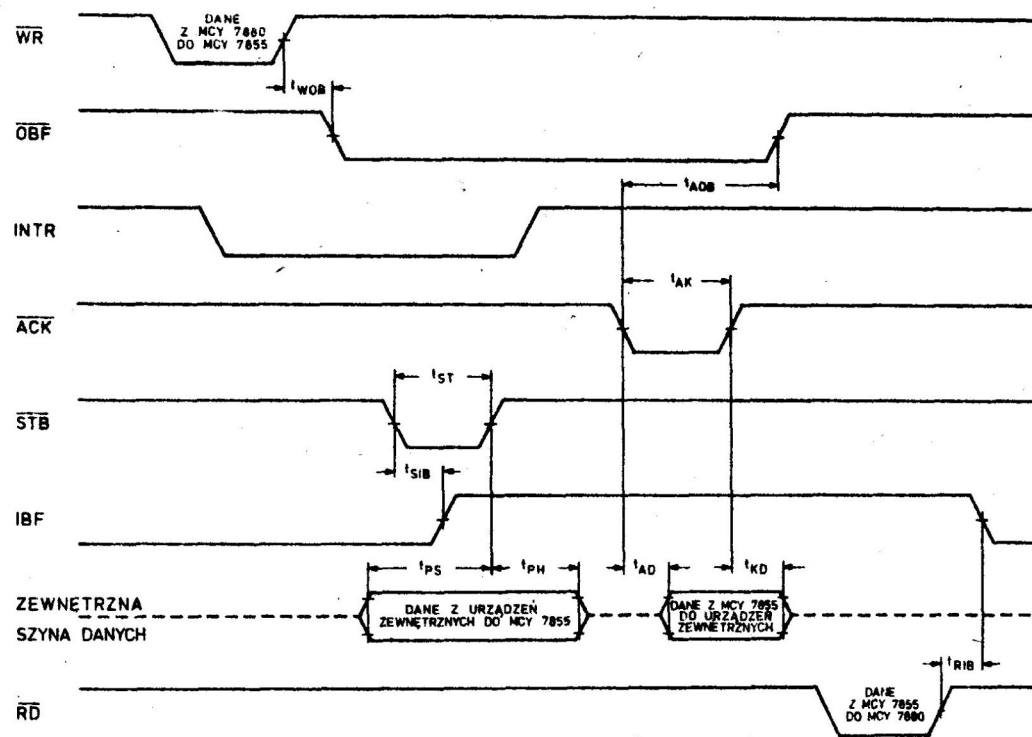
ZAPIS



ODCZYT

Definicje parametrów dynamicznych w trybie 1

ZAPIS I ODCZYT



Definicje parametrów dynamicznych w trybie 2